

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-180481

(43)Date of publication of application : 11.07.1997

(51)Int.Cl.

G11C 16/06

(21)Application number : 08-331266

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 11.12.1996

(72)Inventor : LEE SUNG-SOO  
KIN CHINKI

(30)Priority

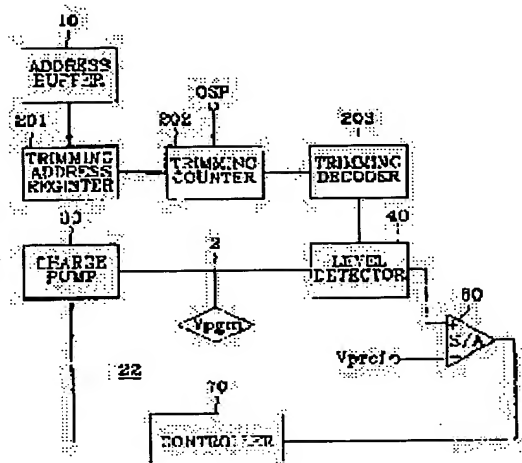
Priority number : 95 9548347 Priority date : 11.12.1995 Priority country : KR

(54) HIGH-VOLTAGE GENERATION METHOD IN NONVOLATILE SEMICONDUCTOR MEMORY, CIRCUIT FOR OPTIMIZATION OF HIGH-VOLTAGE LEVEL AND METHOD THEREFOR

(57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a high-voltage generation method in which the time required for an erase operation and a programming operation is optimized and whose reliability and performance are enhanced by a method wherein the starting level of a high voltage is optimized in the erase operation and the programming operation.

**SOLUTION:** A trimming counter 202 and a trimming encoder 203 act as a loop number-of-times counting circuit, for output of a level control signal, in order to supply an erase voltage of a programming voltage so as to be increased from a starting level whenever in erase operation and a programming operation are repeated. The counter 202 receives a program loop pulse OSP for counting of the number of times of the programming operation. In addition, a trimming address register 201 is installed, and it receives an address which is applied via an address buffer 10. The register 201 comprises many fuse elements which can be blown, it outputs, to the loop number-of-times counting circuit, a trimming signal for change of the starting level so as to respond to the address in a test, it selects and blows the fuse elements on the basis of a test result, it fixes a trimming signal, and it sets the optimum starting level of the erase time and the programming time.



## LEGAL STATUS

[Date of request for examination]

05.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## (一) 請求要約+請求の範囲

- (19)【発行人】日本国特許庁(JP)  
 (12)【公報種別】公開特許公報(A)  
 (11)【公開番号】特開平9-180481  
 (43)【公開日】平成9年(1997)7月11日  
 (54)【発明の名称】不揮発性半導体メモリにおける高電圧発生方法と高電圧レベルの最適化回路及び最適化方法  
 (51)【国際特許分類第6版】

G11C 16/06

【F】

G11C 17/00 309 D

【審査請求】未請求

【請求項の数】7

【出願形態】JOL

【全頁数】14

(21)【出願番号】特願平8-331266

(22)【出願日】平成8年(1996)12月11日

(31)【優先権主張番号】1995P48347

(32)【優先日】1995年12月11日

(33)【優先権主張国】韓国(KR)

(71)【出願人】

【識別番号】390019839

【氏名又は名称】三星電子株式会社

【住所又は居所】大韓民国京畿道水原市八達区梅灘洞416

(72)【発明者】

【氏名】李 城秀

【住所又は居所】大韓民国ソウル特別市松坡区可樂洞479番地

(72)【発明者】

【氏名】金 鎮▲き▼

【住所又は居所】大韓民国ソウル特別市陽川区新亭6洞木洞アパート1329棟1302号

(74)【代理人】

【弁理士】

【氏名又は名称】高月 猛

(57)【要約】  
 【課題】消去やプログラムにおける高電圧の開始レベルを最適化することを可能とし、消去やプログラム時間を最適化する。

【解決手段】同じメモリセルに対する消去又はプログラムが反復される度にその消去電圧又はプログラム電圧を所定の開始レベルから順次に上げていくためのレベル制御信号を出力するルーブリック回数回路202、203と、レベル制御信号に応じて順次に電圧レベルを上げて消去電圧又はプログラム電圧を発生する高電圧発生回路22(30~70)と、アドレス入力によるトリミング信号を発生してルーブリック回数回路のレベル制御信号の初期値を変更し且つヒューズ切断によりそのトリミング信号の状態を固定することが可能とされて高電圧発生回路22による消去電圧又はプログラム電圧の開始レベルをセッティングするセッティング回路201と、からなる高電圧レベル最適化回路を備える。

## 【特許請求の範囲】

【請求項1】フロートゲート形の多数のメモリセルと、複数の選択メモリセルをプログラムするためのプログラム回路と、該プログラム対象のメモリセルのプログラム成否を判断するためのプログラム検証回路と、を有する不揮発性半導体メモリにおいて、プログラムが反復される度にプログラム電圧を所定の開始レベルから順次に上げていくためのレベル制御信号を出力するルーブリック回数回路と、このレベル制御信号に応じて順次に電圧レベルを上げてプログラム電圧を発生する高電圧発生回路と、アドレス入力によるトリミング信号を発生して前記ルーブリック回数回路のレベル制御信号の初期値を変更し且つヒューズ切断によりそのトリミング信号の状態を固定することが可能とされて前記高電圧発生回路によるプログラム電圧の開始レベルをセッティングするセッティング回路と、からなる高電圧レベル最適化回路を備えたことを特徴とする不揮発性半導体メモリ。

【請求項2】電氣的消去可能でプログラム可能な不揮発性半導体メモリにおいて、同じメモリセルに対する消去又はプログラムが反復される度にその消去電圧又はプログラム電圧を所定の開始レベルから順次に上げていくためのレベル制御信号を出力するルーブリック回数回路と、このレベル制御信号に応じて順次に電圧レベルを上げて消去電圧又はプログラム電圧を発生する高電圧発生回路と、アドレス入力によるトリミング信号を発生して前記ルーブリック回数回路のレベル制御信号の初期値を変更し且つヒューズ切断によりそのトリミング信号の状態を固定することが可能とされて前記高電圧発生回路による消去電圧又はプログラム電圧の開始レベルをセッティングするセッティング回路と、からなる高電圧レベル最適化回路を備えたことを特徴とする不揮発性半導体メモリ。

【請求項3】高電圧発生回路は、高電圧を発生するためのチャージポンプと、レベル制御信号に応じて変化する分圧出力により前記チャージポンプの出力電圧を分圧して出力するレベル検出器と、このレベル検出器の出力電圧と定電圧とを比較して比較信号を発生する比較器と、その比較信号に応じて前記チャージポンプを活性化させる高電圧制御器と、から構成される請求項1又は請求項2記載の不揮発性半導体メモリ。

【請求項4】ルーブリック回数回路は、トリミング信号に応じる4ステージの2進カウンタからなるトリミングカウンタと、このトリミングカウンタの出力をデコードしてレベル制御信号を発生するトリミングデコーダと、から構成される請求項3記載の不揮発性半導体メモリ。

【請求項5】セッティング回路は、モード開始前のセットアップ期間でヒューズによる論理信号又はアドレスを選択的に伝送してプリトリミング信号を出力する第1ブロックと、前記セットアップ期間でラッチ信号を発生する第2ブロックと、このラッチ信号に応じて前記第1ブロックのプリトリミング信号をラッチしトリミング信号を出力する第3ブロックと、から構成される請求項3又は請求項4記載の不揮発性半導体メモリ。

【請求項6】消去又はプログラムの不完全なメモリセルがある場合に消去又はプログラムを反復するようにした不揮発性半導体メモリは、消去又はプログラム用の高電圧発生方法において、印加する高電圧の開始レベルを可変としてテストにより予め調整し、消去又はプログラム時にはその調整後の開始レベルから高電圧を印加し反復の度に電圧を上げていくようにしたことを特徴とする高電圧発生方法。

【請求項7】不揮発性半導体メモリは、消去又はプログラム用高電圧の最適化方法であって、時間経過に伴い多数の段階にセットされて発生される高電圧のその多数の段階のうちの1つをトリミング信号の組合せにより選択し、そして、該選択した段階の高電圧で消去又はプログラム動作を実施した所要時間を所定の時間と比較して最良なる場合には前記多数の段階のうちの他の段階を選択することにより、消去又はプログラム電圧の開始レベルを決定する高電圧の最適化方法。

## 詳細な説明

## 【発明の詳細な説明】

- 【0001】  
【発明の属する技術分野】本発明は、EEPROMに代表される書換え可能な不揮発性半導体メモリに関する。
- 【0002】  
【従来の技術】NAND形のセル構造を有するEEPROMのメモリセルアレイは、行と列のマトリック状に配列された多数のNANDセルユニットを有している。図15の等価回路図にそのメモリセルアレイの一部分を示す。
- 【0003】NANDセルユニットNU1～NUmのそれぞれは、ドレインが対応ビットラインBLに接続された第1選択トランジスタ120と、ソースが共通ソースラインCSLに接続された第2選択トランジスタ121と、を有し、これら第1選択トランジスタ120のソースと第2選択トランジスタ121のドレインとの間に、メモリセルトランジスタM1～M8のドレイン・ソース通路(チャネル)が直列接続されている。1列に配置された第1選択トランジスタ120のゲート、メモリセルM1～M8の各制御ゲート、及び第2選択トランジスタ121のゲートは、第1選択ラインSL1、ワードラインWL1～WL8、第2選択ラインSL2にそれぞれ接続されている。
- 【0004】第1選択トランジスタ120及び第2選択トランジスタ121、そしてメモリセルM1～M8は、半導体基板の主要面に形成したP形ウェル内に構成される。即ち、各NANDセルユニットにおける第1選択トランジスタ120のソース及びメモリセルM1のドレインの共通領域、メモリセルM1～M8のソース・ドレイン共通領域、第2選択トランジスタ121のドレイン及びメモリセルM8のソースの共通領域は、P形ウェル内に形成される。メモリセルM1～M8の各チャネル上にはトンネル酸化膜を通じてポリシリコンのフローティングゲートが形成され、このフローティングゲート上に中間誘電膜を通じてポリシリコン又は高融点金属のシリサイドで形成された制御ゲートが形成される。
- 【0005】第1選択トランジスタ120のP形ウェル内のドレイン領域は、高融点金属シリサイド又は金属で形成されたビットラインBLとそれぞれ接続され、第2選択トランジスタ121のP形ウェル内に形成されたソース領域は、高融点金属シリサイド又は金属で形成された共通ソースラインCSLと接続される。
- 【0006】このようなEEPROMにおいては、メモリセルのプログラムつまりデータ書き込みに消去を実施する。メモリセルの消去は、P形ウェルに例えば20Vほどの消去電圧を印加すると共にワードラインWL1～WL8に例えば接地レベルの基準電圧を印加することによって行なわれる。これによりフローティングゲートの電子がトンネル酸化膜を通じてP形ウェルへ放出され、当該メモリセルは、デプレッションモードのトランジスタになる。例えば、この消去メモリセルがデータ“1”記憶とされる。
- 【0007】消去が終わると今度は、ワードラインを選択してこれに接続された多数のメモリセルのプログラム、即ちデータ“0”の書き込が実施される。プログラムでは、選択ワードラインに例えば18Vほどのプログラム電圧が印加され、データ“0”書き込対象のメモリセルのソース及びドレインに例えば接地レベルの基準電圧が印加される。すると、プログラム対象のメモリセルのフローティングゲートにトンネル酸化膜を通じて電子が注入され、当該メモリセルは、エンハンスメントモードのトランジスタに変更される。
- 【0008】このような消去やプログラム後には通常、消去或いはプログラムセルが所定のしきい値電圧になったかどうか成否を調べる検証が行われる。
- 【0009】最近のEEPROMの大容量化に伴って、ゲート酸化膜や中間誘電膜の厚と厚さ、そしてチャネル寸法等、メモリセルのサイズも小さくなっている。このために、製造工程においてそのゲート酸化膜、中間誘電膜やチャネルサイズなどの均一性を確保し難くなっており、これに依ってメモリセルのしきい値電圧もバラツキやすくなっている。もし、プログラム対象のメモリセル中の1つでも所望のしきい値電圧に達しないければエラーデータとなるので、これを防止するために、高集積化に伴って消去やプログラムの成否を判断する検証技術が提案されている。以上の消去、プログラム、検証については、韓国公開特許第94-18870号に詳しい。
- 【0010】  
【発明が解決しようとする課題】上記のような消去及びプログラムの実行する不揮発性半導体メモリにおいて、消去やプログラムのモード遂行に要する時間は、これらモードで必要の高電圧を発生させるための内部高電圧発生器による高電圧レベルとメモリセルのトンネル酸化膜の厚さによる

結合率(coupling ratio)に応じて変化し、メモリ装置の性能を左右する。このうち特に高電圧レベルの変化に対し消去やプログラム時間が敏感に反応するので、この高電圧レベルの最適化がメモリチップの信頼性及び性能向上に重要である。

【0011】従って、本発明の目的は、メモリセルの消去やプログラムの必要高電圧レベルを最適化し、消去やプログラムにかかる時間の最適化を可能とすることにある。また同時に、工程条件の変化による消去やプログラムの時間の変化を最小化せられるような不揮発性半導体メモリを提供する。

【0012】  
【課題を解決するための手段】にの目的のために本発明では、消去又はプログラムの不完全なメモリセルがある場合に消去又はプログラムを反復するようにした不揮発性半導体メモリの消去又はプログラムの高電圧発生方法において、印加する高電圧の開始レベルを可変としてテストにより予め調整し、消去又はプログラム時にはその調整後の開始レベルから高電圧を印加し反復の度に電圧を上げていくことを特徴とする。或いは、不揮発性半導体メモリの消去又はプログラムの高電圧の最適化方法として、時間の経過に伴い多数の段階にセッティングされて発生される高電圧のその多数の段階のうちの1つをトリミング信号の組合せにより選択し、そして、該選択した段階の高電圧で消去又はプログラム動作を実施した所要時間を所定の時間と比較して早くなる場合には前記多数の段階のうちの他の段階を選択することにより、消去又はプログラムの開始レベルを決定する高電圧の最適化方法を提供する。

【0013】このために本発明によれば、電気的消去可能でプログラム可能な不揮発性半導体メモリセルがある場合に消去又はプログラムを反復される度にその消去電圧又はプログラム電圧を所定の開始レベルから順次に上げていくためのレベル制御信号を出力するループ回数計回路と、このレベル制御信号に応答し順次に電圧レベルを上げて消去電圧又はプログラム電圧を発生する高電圧発生回路と、アドレス入力によるトリミング信号を発生して前記ループ回数計回路のレベル制御信号の初期値を変更し且つヒューズ切断によりそのトリミング信号の状態を固定することが可能とされて前記高電圧発生回路による消去電圧又はプログラム電圧の開始レベルをセッティングするセッティング回路と、からなる高電圧レベル最適化回路を備えることを特徴とする。或いは特に、フローティングゲート形の多数のメモリセルと、複数の選択メモリセルをプログラムするためのプログラムの検証回路と、該プログラムのメモリセルのプログラムの成否を判断するためのプログラムの検証回路と、を有する不揮発性半導体メモリにおいて、プログラムが反復される度にプログラム電圧を所定の開始レベルから順次に上げていくためのレベル制御信号を出力するループ回数計回路と、このレベル制御信号に応答し順次に電圧レベルを上げてプログラム電圧を発生する高電圧発生回路と、アドレス入力によるトリミング信号を発生して前記ループ回数計回路のレベル制御信号の初期値を変更し且つヒューズ切断によりそのトリミング信号の状態を固定することが可能とされて前記高電圧発生回路によるプログラムの開始レベルをセッティングするセッティング回路と、からなる高電圧レベル最適化回路を備えることを特徴とする。

【0014】高電圧発生回路は、高電圧を発生するためのチャージポンプと、レベル制御信号に応じた変化する分圧出力により前記チャージポンプの出力電圧を分圧して出力するレベル検出器と、このレベル検出器の出力電圧と定電圧とを比較して比較信号を発生する比較器と、その比較信号に応答して前記チャージポンプを活性化させる高電圧制御器と、から構成する。ループ回数計回路は、トリミング信号に応じた4ステータの2進カウンタからなるトリミングカウンタと、このトリミングカウンタの出力をデコードしてレベル制御信号を発生するトリミングデコーダと、から構成する。セッティング回路は、モード開始前のセッティング期間でヒューズによる論理信号又はアドレスを選択的に伝送してトリミング信号を出力する第1ブロックと、前記セッティング期間でラッチ信号を発生する第2ブロックと、このラッチ信号に応じて前記第1ブロックのトリミング信号をラッチしトリミング信号を出力する第3ブロックと、から構成する。

【0015】  
【発明の実施の形態】以下、本発明の実施形態につき添付図面を参照して詳細に説明する。

【0016】本実施形態の不揮発性メモリには、-1.8Vほどのしきい値電圧を有するデプレッションモードのNチャネルMOSTランジスタ(D形トランジスタとす)と、0.7Vほどのしきい値電圧を有するエンハンスメントモードのNチャネルMOSTランジスタ(N形トランジスタとす)と、-0.9Vほどのしきい値電圧を有するエンハンスメントモードのPチャネルMOSTランジスタ(P形トランジスタとす)とが使用される。

【0017】図1に高電圧レベル最適化回路のブロック図を示す。図示のトリミングカウンタ(trimming counter)202及びトリミングデコーダ203は、消去又はプログラムの動作が反復される度に消去電

圧又はプログラム電圧を開始レベルから次第に高めて供給するためのレベル制御信号を出力するループ回数計数回路として働く。トリミングカウンタ202は、プログラムの回数をカウントするためにはプログラムルーブルパルスOSPをメモリ装置のプログラム検証回路から受信する。また、トリミングアドレスレジスタ(trimming address register) 201が設けられており、アドレスバンプA10を通じて印加されるアドレスを受信する。このトリミングアドレスレジスタ201は切斷可能な多数のヒューズ素子有し、テスト時に、印加されるアドレスに对应して前記開始レベルを変更するための多数のトリミング信号をループ回数計数回路へ提供し、更に、そのヒューズ素子をテスト結果に従い選択切斷することによってトリミング信号の状態を固定することが可能とされ、実際の動作時に、実行される消去又はプログラムの時間、最適な高電圧の開始レベルをセッティングするセッティング回路として働く。各単位ブロックは、チップエネーブル信号バーCEを反転するインバータ11、ヒューズF1、N形トランジスタN1、D形トランジスタD1、NORゲートNOR1、インバータ11(設定に応じて設置選択)、そしてアドレスを反転するインバータ112、セットアップ信号Shvstを反転するインバータ113、伝送ゲートPT1、PT2から構成されている。

【0020】図4Bは、ラッチ信号qchpvgmを発生する第2ブロックを示すもので、3入力NANDゲートNAND1、セットアップ信号Shvstを反転するインバータ11、NANDゲートNAND2から構成される。

【0021】図5は、図4A及び図4Bのブロックにより提供される信号からトリミング信号TRDpgm0～TRDpgm2を生成するレジスタ500、501、502からなる第3ブロックを示している。これら3つのレジスタの構成は同じであるが、印加されるアドレスはそれぞれ異なり、一番目の単位ブロックにはアドレスA4、二番目の単位ブロックにはアドレスA5、三番目の単位ブロックにはアドレスA6が印加される。各単位ブロックは、チップエネーブル信号バーCEを反転するインバータ11、ヒューズF1、N形トランジスタN1、D形トランジスタD1、NORゲートNOR1、インバータ11(設定に応じて設置選択)、そしてアドレスを反転するインバータ112、セットアップ信号Shvstを反転するインバータ113、伝送ゲートPT1、PT2から構成されている。

【0022】図6は、トリミングカウンタ202の回路を示している。図中上部は1つの2進単位カウンタの詳細構成を、図中下部はその2進単位カウンタとなる各ステーションの接続関係を示す。1つの単位カウンタの構成は、ルーブルパルスOSPを反転するインバータ11、このインバータ11の出力及びルーブルパルスOSPに付随伝送ゲートPT1～PT4、各信号Sapgm、TRDpgm1(i=0～2)、TRDpgm2を演算するNANDゲートNA1～NA4、インバータ12から構成され、カウンタ信号RVpgm(i=0～3)及びその相補信号バーRVpgmを生成する。本実施形態では、このような単位カウンタが図中下部に示すカウンタステーション600～603のように4ステーションの縦列接続にされて構成されている。

【0023】図7は、トリミングデコダ203の回路である。多数のレベル制御信号TRMpgm1～TRMpgm7を発生するNORゲートNOR1～NOR7、レベル制御信号TRMpgm8を発生するインバータ11、12及びラッチ形態のNORゲートNOR1、NOR2から構成されている。このデコダ203によるレベル制御信号は、図1のレベル検出器40へ提供される。

【0024】図8は、図1中の高電圧発生回路22を示している。即ちこの高電圧発生回路22は、高電圧のプログラム電圧(又は消去電圧)Vpgmを発生するための高電圧発生回路22として、レベル制御信号のプログラム失敗の度にプログラム電圧が所定の値範囲内で順次増加するように、レベル制御信号TRMpgm1～TRMpgm8に従いプログラム電圧のレベルを検出する(分圧する)レベル検出器40と、これによる検出レベルと定電圧Vprefとを比較して比較信号を発生する差動増幅器を用いた比較器60と、この比較器60による比較信号に応じてチャージポンプ30を活性化させる高電圧制御器70と、から構成されている。

【0025】チャージポンプ30は、プログラム(又は消去)動作中に発生される高電圧制御器70のチャージポンプ信号φPpgmとその相補信号バーφPpgmに成差してプログラム電圧Vpgmを発生する。このチャージポンプ30は、電源供給電圧Vccよりも高電圧のプログラム電圧Vpgmを発生するための通常のチャージポンプ方式の回路である。即ち、ノード1にVcc-Vthの初期電圧を供給するためのN形トランジスタ17と、ノード2と出力ノード2の間にチャネルを直列接続した多数のN形トランジスタ11～16と、このN形トランジスタ11～16のゲートに各々接続されたMOSキャパシタ3～8と、から構成される。N形トランジスタ11～16はゲート及びドレインを接続したダイオ

ード形態である。そして、奇数番のMOSキャパシタ3、5、7の電極にチャージポンプ信号φPpgmが入力され、偶数番のMOSキャパシタ4、6、8の電極にその相補信号バーφPpgmが入力される。出力ノード2と電源供給電圧Vccとの間にD形トランジスタDTが接続されており、このD形トランジスタDTのゲートにプログラム制御信号バーPGMが入力されている。このD形トランジスタDTは、プログラム終了後に出力ノード2のプログラム電圧Vpgmを電源供給電圧Vccへ放電する役割をもつ。

【0026】プログラム中にプログラム電圧Vpgmを順次増加させるためのレベル検出器40は、出力ノード2に接続してある。即ち、接地レベルの基準電圧Vssと出力ノード2との間にN形トランジスタ31のチャネルと抵抗R1～R8、Rd、Ruが直列接続されており、N形トランジスタ31のゲートがインバータ32を通じてプログラム制御信号バーPGMにより制御されることで動作する。そして、直列の抵抗R8～R1に対し並列にN形トランジスタ33～39のチャネルが直列接続されている。このN形トランジスタ33～39のゲートにレベル制御信号TRMpgm1～TRMpgm8がそれぞれ提供され、これに応じてオンすることによりN形トランジスタ33～39が抵抗R1～R8の順次バイパス手段となる。

【0027】図8に示した比較器60は、プログラム動作中に接続ノードN2の電圧Vdと定電圧Vprefとを比較する。この比較器60は、基準電圧Vssと共通ノード46との間にチャネルが接続されたN形トランジスタ66が、インバータ67を通じてプログラム制御信号バーPGMに反応することで動作する。電源供給電圧Vccと共通ノード46との間には、P形トランジスタ69及びN形トランジスタ64の直列接続と、P形トランジスタ68及びN形トランジスタ62の直列接続とが、並列に設けられている。両P形トランジスタ68、69のゲートは共通接続してP形トランジスタ69のドレインへ接続してあり、N形トランジスタ64のゲートに定電圧Vprefが、そしてN形トランジスタ62のゲートに電圧Vdが印加される。従って、VdがVprefを上回ると論理“1”出力、VdがVprefを下回ると論理“0”出力となる。

【0028】高電圧制御器70は、比較器60から出力される比較信号に従いチャージポンプ30を動作させ、プログラム電圧Vpgmが所定の一定レベルを維持するように制御する。即ち、NANDゲート74の一方の入力端子に比較器60の出力が印加され、他方の入力端子にプログラム制御信号バーPGMがインバータ72を通じて印加される。そして、NANDゲート78、80にNANDゲート74の出力がインバータ76を通じて入力され、リング発振器(図示略)からのクロックパルスφP、φP(相補)と論理演算される。この例のクロックパルスφPは8MHZの周波数を有する。これらNANDゲート78、80の出力は、インバータ82、84をそれぞれ通じてチャージポンプ信号φPpgm及び相補信号バーφPpgmとなってチャージポンプ30へ提供される。

【0029】この高電圧制御器70は、VdがVprefを上回るときに非活性出力となり、VdがVprefを下回るときに活性出力となる。即ち、プログラム電圧Vpgmが上がることはVdも上昇するので高電圧制御器70は非活性出力となり、これによりチャージポンプ30の動作が抑止されてプログラム電圧Vpgmを低下させる。また、プログラム電圧Vpgmが下がることはVdも下降するので高電圧制御器70は活性出力となり、チャージポンプ30が動作してプログラム電圧Vpgmを上昇させる。この結果、プログラム電圧Vpgmは設定レベルを維持する。

【0030】図3は、この例のプログラム時のフローチャート、図2は、この例の最適化テスト時のフローチャートである。図9～図14は、本発明の実施例に従うプログラム回数及び高電圧レベルのセッティングを説明するための動作タイミング図である。以下、この実施形態の構成により消去やプログラム時に最適化された高電圧を得る過程について、プログラムを例にして説明する。

【0031】まず、図3に示すプログラム動作から説明する。ステップ301においてデコーダインコマンド“80h”が提供され、メモリセルへのプログラムのために本メモリ装置内のページバンプAへ例えば512バイトのデータがステップ302でロードされる。続いて、ステップ303でプログラムコマンド“10h”が印加されると、ステップ304で単位プログラム動作が実施される。プログラムがすむとステップ305でプログラム検証が行われ、ステップ306で検証結果がチェックされる。

【0032】ステップ306の結果、いずれか一つでも不十分なプログラムセルがあった場合には、ステップ308でループ回数(Ploop)をチェックし、所定の検証回数内ならばステップ309でループ回数を1増加させた後、ステップ310でプログラム電圧をΔV上げてステップ304以降を反復する。もし、ループ回数が所定の回数に達してもプログラムセルのしきい値電圧が設計値にならないときは、ステップ311へ進行し、失敗としてプログラム完了とする。一方、ステップ306の結果、プログラム成功していればステップ307へ進行し、成功としてプログラム完了とする。

【0033】このプログラム時にプログラム電圧は、やり直しの度にステップ310でΔVずつ段階的に

順次増加する。本例では、このようなプログラム電圧の増加に際し、テストモードにおいて多様なレベルにプログラム電圧を変化させて最適な開始レベルを探し、これに応じたヒューズ切断で実際の動作モード時に最適な開始レベルから増加させていく手法をとっている。これにより、最適の時間内にメモリセルプログラムが行われるようにしてある。これについて、ヒューズ切断前つまりプログラム電圧テストのプロセッサチャートを示した図2を参照して説明する。

【0034】目標とする最長プログラム時間を200μsであるとして仮定する。まず、ステップ201で、トリミングのためのアドレスが図1のアドレスマップA10を通じてトリミングアダプトレジスタ201へ印加される。即ち、このアドレスは図4のアドレス入力端子に印加される。このステップ201は、図12～図14の期間T11で行われる。このときに、メモリチップのプログラムの開始時間がテストの結果300μsであったとすると、入力アドレスは、プログラム電圧を上向き調整するものとなる。このアドレス印加後、ステップ202で高電圧開始レベルセットインジカコマンド“DSH”を提供することでステップ203の自動プログラムモードが実行される。このセッティング動作はセットアップ期間T22で、自動プログラムモードは期間T33で行われる。

【0035】ステップ204では、ステップ203によるプログラムが完了するまでのプログラム時間が、目標時間内にあるか否かをチェックする。この結果、目標プログラム時間内にプログラム完了すればステップ205へ進行し、目標時間を超えていればステップ207へ進行する。ステップ207へ進んだ場合は、トリミングアドレスが変更されてステップ201以降が繰り返される。即ちこれは、アドレス論理を変更しつつプログラム電圧を順次上げていき、最適な開始レベルを探す作業に該当する。一方、ステップ205へ進んだ場合は、リセットコマンド“F5”が印加された後、ステップ206で、実際のプログラム時にプログラム電圧の開始レベルをこのテストにより得られたレベルに固定するため、図4Aのヒューズがレーザー切断等により切断され、トリミング信号の状態が決定される。【0036】この図2の作業により、実際のプログラム開始時に最適化した開始レベルでプログラム電圧が提供されることになり、プログラムの開始時間が最適化される。

【0037】図9～図14に沿って更に説明する。目標プログラム時間及びテスト結果の測定プログラム時間が上記と同じで、プログラム電圧の開始レベルは15.5Vとし、0.5Vの上向き調整により200μsの時間に変化するとして仮定する。

【0038】図9～図11に示すプログラム時のセットアップ期間T11に、図4で印加されるセットアップ信号Shvrsが論理“L”から“H”に遷移し、テストセット信号φhvsetは論理“L”を維持する。従って、ラッチ信号φlchpgmが論理“H”にエネーブルされ、プリトリミング信号PTRDpgm0、PTRDpgm1、PTRDpgm2がそれぞれ、図9の波形のように論理“H”、“H”、“L”になる。すると、トリミング信号TRDpgm0、TRDpgm1、TRDpgm2はそれぞれ、図9の波形のように論理“H”、“L”、“L”になる。この状態で、プログラムコマンド信号Sapgmがプログラムループ第1期間T2で論理“H”に遷移すると、図6のロード信号TRDloadがエネーブルされ、これにより、2進カウンタのカウント信号RVpgm0、RVpgm1、RVpgm2、RVpgm3のそれぞれは、図10の波形のように論理“L”、“L”、“H”、“L”に活性化される。このときに出力されるプログラム電圧Vpgmは、図8において、 $[(R5+R6+R7+R8+Rd+Ru) \times Vpref] / (R5+R6+R7+R8+Rd) = 15.5V$ に設定される。

【0039】図10のループバースOSPIはループ回数が1回進む度に発生するので、この信号が遷移した後の第2ループ期間T3では、2進カウンタのカウント信号RVpgm0、RVpgm1、RVpgm2、RVpgm3のそれぞれは、論理“H”、“L”、“H”、“L”になる。従って、図7のトリミングデコーダ203のレベル制御信号中TRMpgm5だけが論理“H”に活性化される。このときの図8におけるプログラム電圧Vpgmは $[(R6+R7+R8+Rd+Ru) \times Vpref] / (R6+R7+R8+Rd) = 16V$ に設定される。即ち、ループ回数が1回増加する度に第2ループ期間T3以降では0.5Vずつ上向き調整される。このようにして、図9～図11に示すプログラム時のプログラム電圧は、図3のステップ310で説明したように段階的に0.5Vずつ増加する。

【0040】次に、プログラム電圧をレベル変化させつつ最適な開始レベルを探し、ヒューズ切断を行って実際のプログラム時に最適な開始レベルから増加させて行くようにする最適化テスト過程を図12～図14により説明する。

【0041】目標プログラム時間が得られるよう開始レベルを16Vにするため、図4のアドレスA2、A3、A4、A5、A6をそれぞれ、論理“H”、“H”、“H”、“L”、“H”で期間T11において印加する。これにより、図4のプリトリミング信号PTRDpgm0～PTRDpgm2はそれぞれ、図12の波形のように論理“L”、“H”、“L”になる。そして、テストセット信号φhvsetが論理“H”となるセットアップ期間T22になるとラッチ信号φlchpgmが発生され、トリミング信号TRDpgm0～TRD2はそれぞれ、論理

“H”、“L”、“H”になる。この状態で、自動プログラムコマンド信号Sapgmがプログラムループ期間T33で論理“H”に遷移すれば図6の信号TRDloadがエネーブルされ、これにより、2進カウンタのカウント信号RVpgm0～RVpgm3はそれぞれ、図13の波形のように論理“H”、“L”、“H”、“L”になる。従って、図7のトリミングデコーダ203のレベル制御信号中TRMpgm5だけが論理“H”に活性化される。このときに出力されるプログラム電圧Vpgmは、図8において $[(R6+R7+R8+Rd+Ru) \times Vpref] / (R6+R7+R8+Rd) = 16V$ に設定される。

【0042】即ち、16Vをプログラム電圧の開始レベルとしてセッティングし、ループ回数増加ごとに0.5Vずつ段階的に上昇させることになる。この場合にプリトリミング信号PTRDpgm0～PTRDpgm2は、図12の波形のようにそれぞれ論理“L”、“H”、“L”で出力することになる。つまり、このヒューズF1を切断しておけば実際のプログラムでは、常に16Vから出発するようにプログラム電圧の開始レベルが固定され、そしてΔVずつ所定回数内で段階的に増加する。従って、プログラム時間が最適化される。

【0043】

【発明の効果】本発明によれば、消去やプログラムにおける高電圧の開始レベルを最適化することとが可能となり、消去やプログラムにかかる時間を最適化でき、信頼性及び性能向上に貢献する。



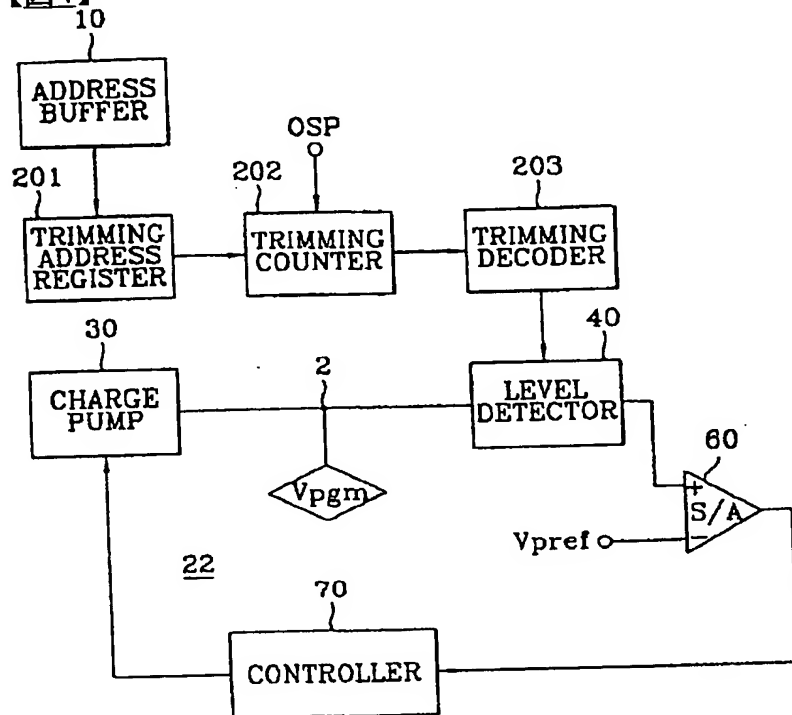
## 図の説明

【図面の簡単な説明】

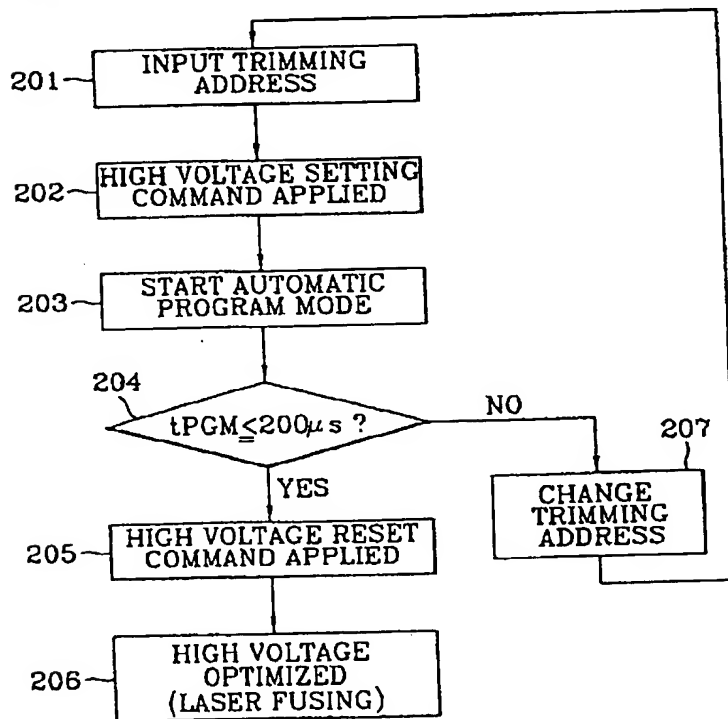
- 【図1】本発明による高電圧レベル最適化回路を示すブロック図。  
【図2】開始レベル最適化テスト過程を説明するフローチャート。  
【図3】プログラム過程を説明するフローチャート。  
【図4】図1中のトリミングアドレスタレジスタを示す回路図。  
【図5】図4に続く回路図。  
【図6】図1中のトリミングカウンタを示す回路図。  
【図7】図1中のトリミングデコーダを示す回路図。  
【図8】図1中の高電圧発生回路を示す回路図。  
【図9】本発明による高電圧レベル最適化回路のプログラム時の動作タイミングを説明する信号波形図。  
【図10】図9に続く信号波形図。  
【図11】図10に続く信号波形図。  
【図12】本発明による高電圧レベル最適化回路の最適化テスト時の動作タイミングを説明する信号波形図。  
【図13】図12に続く信号波形図。  
【図14】図12に続く信号波形図。  
【図15】NAND形のセル構造としたEEPROMのメモリセルアレイの一部分を示す等価回路図。
- 【符号の説明】
- 10 アドレスバッファ
  - 22 高電圧発生回路
  - 30 チャージポンプ
  - 40 レベル検出器
  - 60 比較器
  - 70 高電圧制御器
  - 201 トリミングアドレスタレジスタ(セッティング回路)
  - 202 トリミングカウンタ(ループ回数計数回路)
  - 203 トリミングデコーダ(ループ回数計数回路)

図面

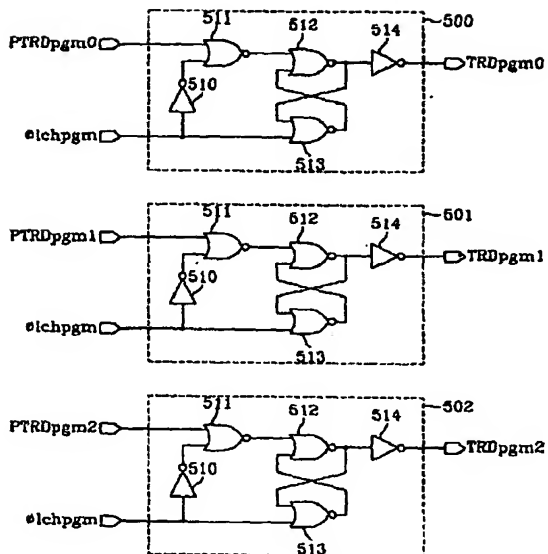
【図1】



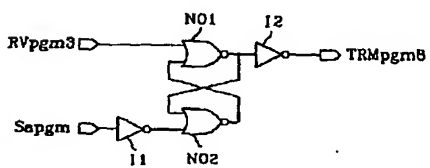
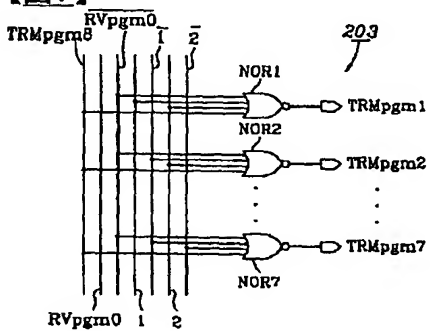
【図2】



【図5】

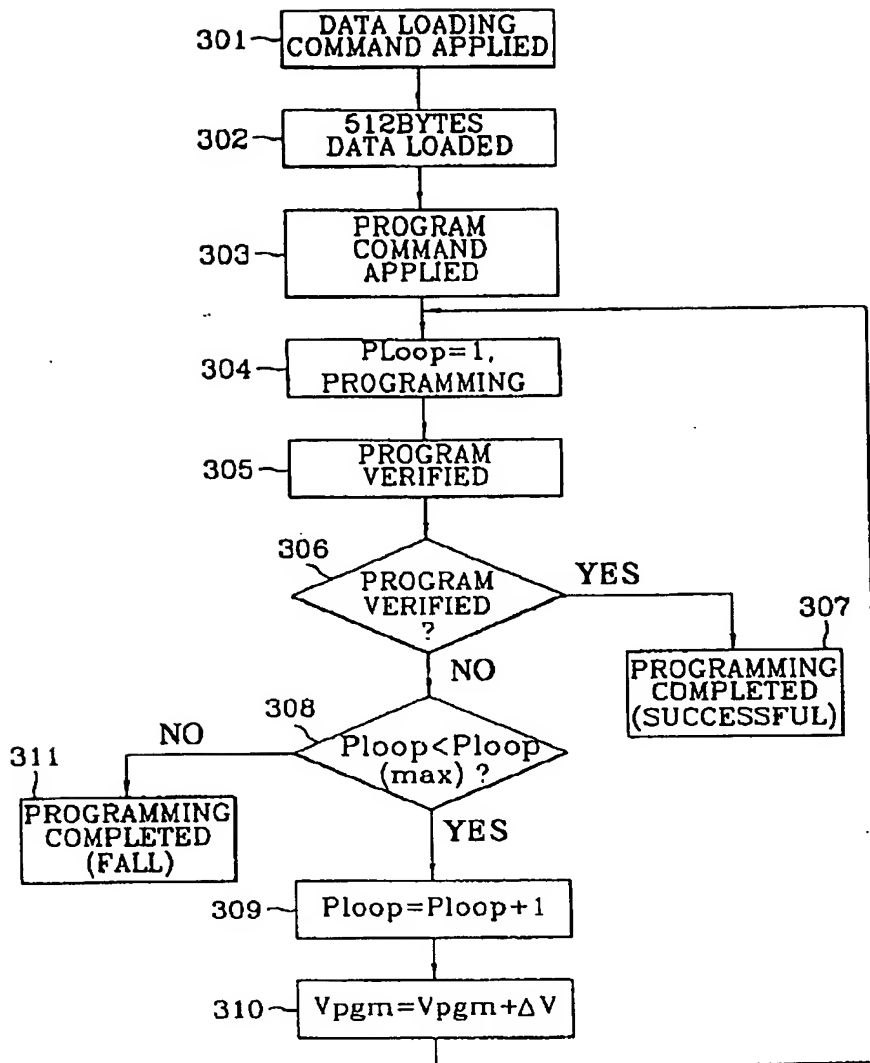


【図7】

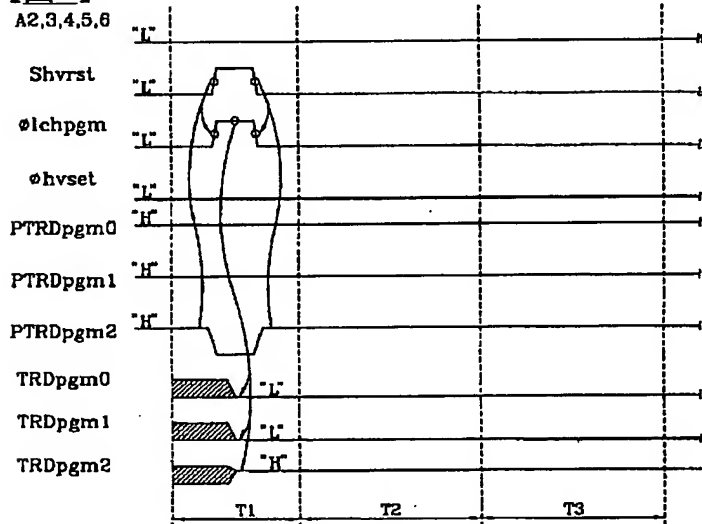


【図3】

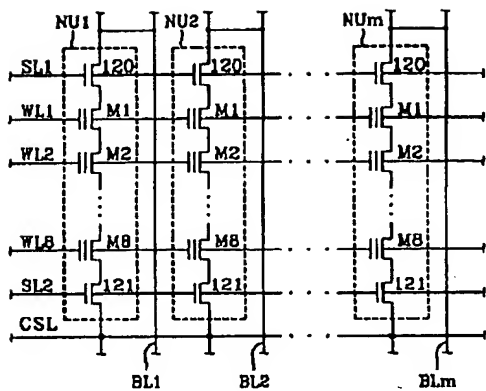




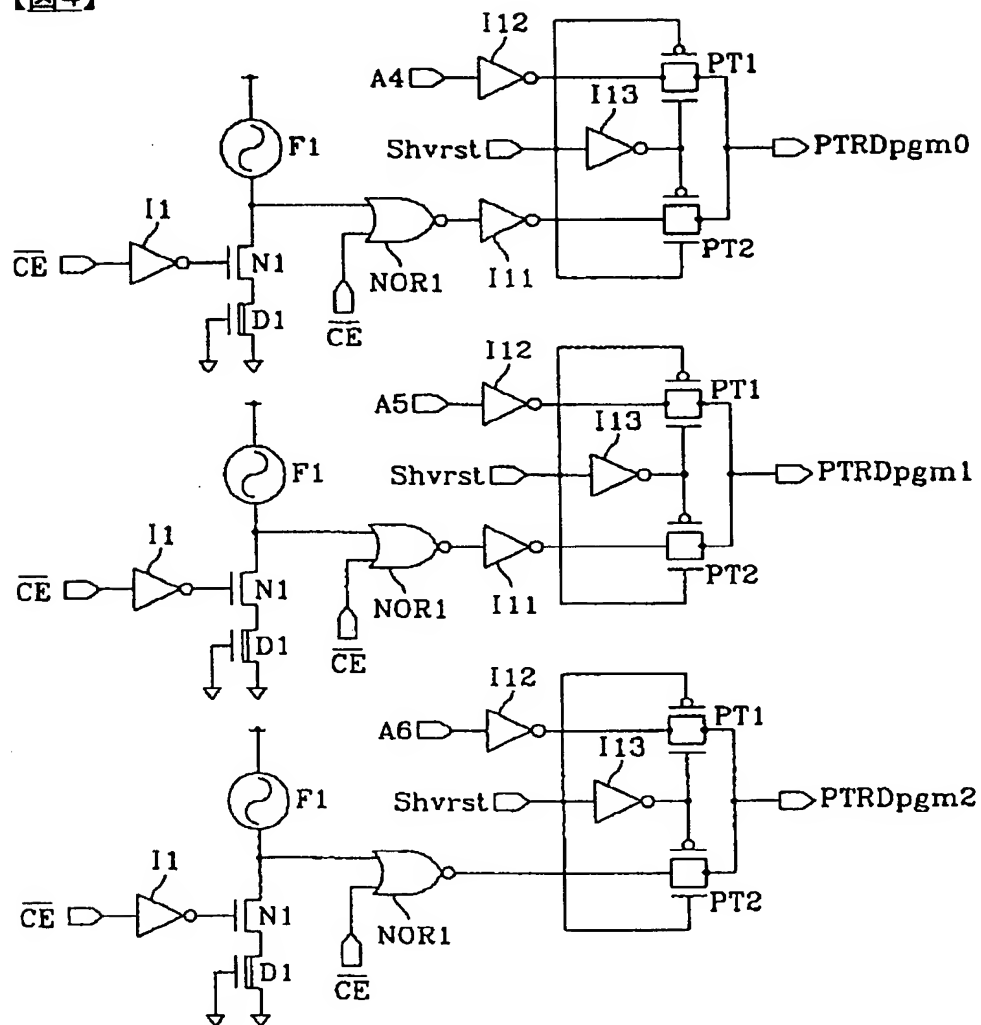
【図9】



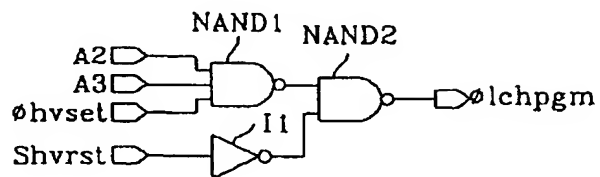
【図15】



【図4】

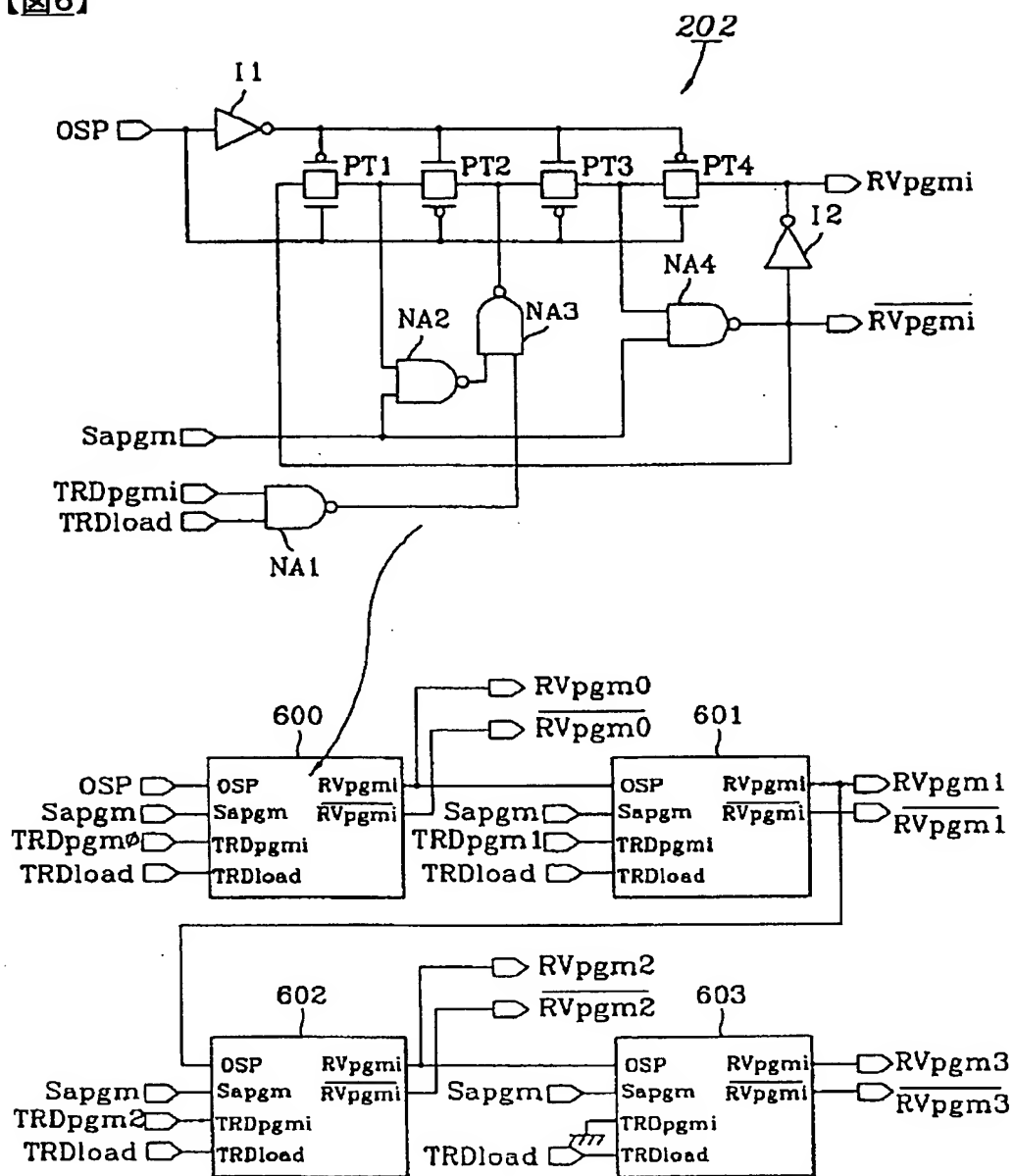


A

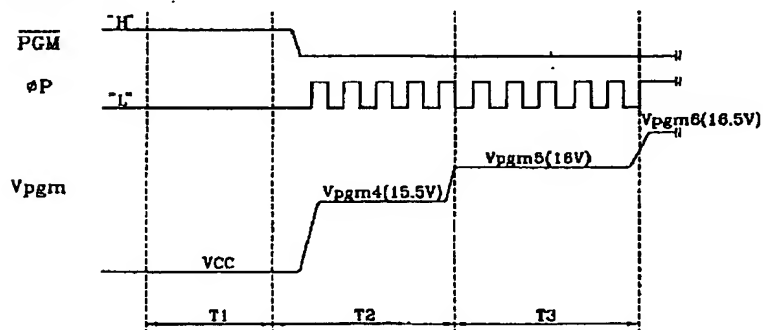


B

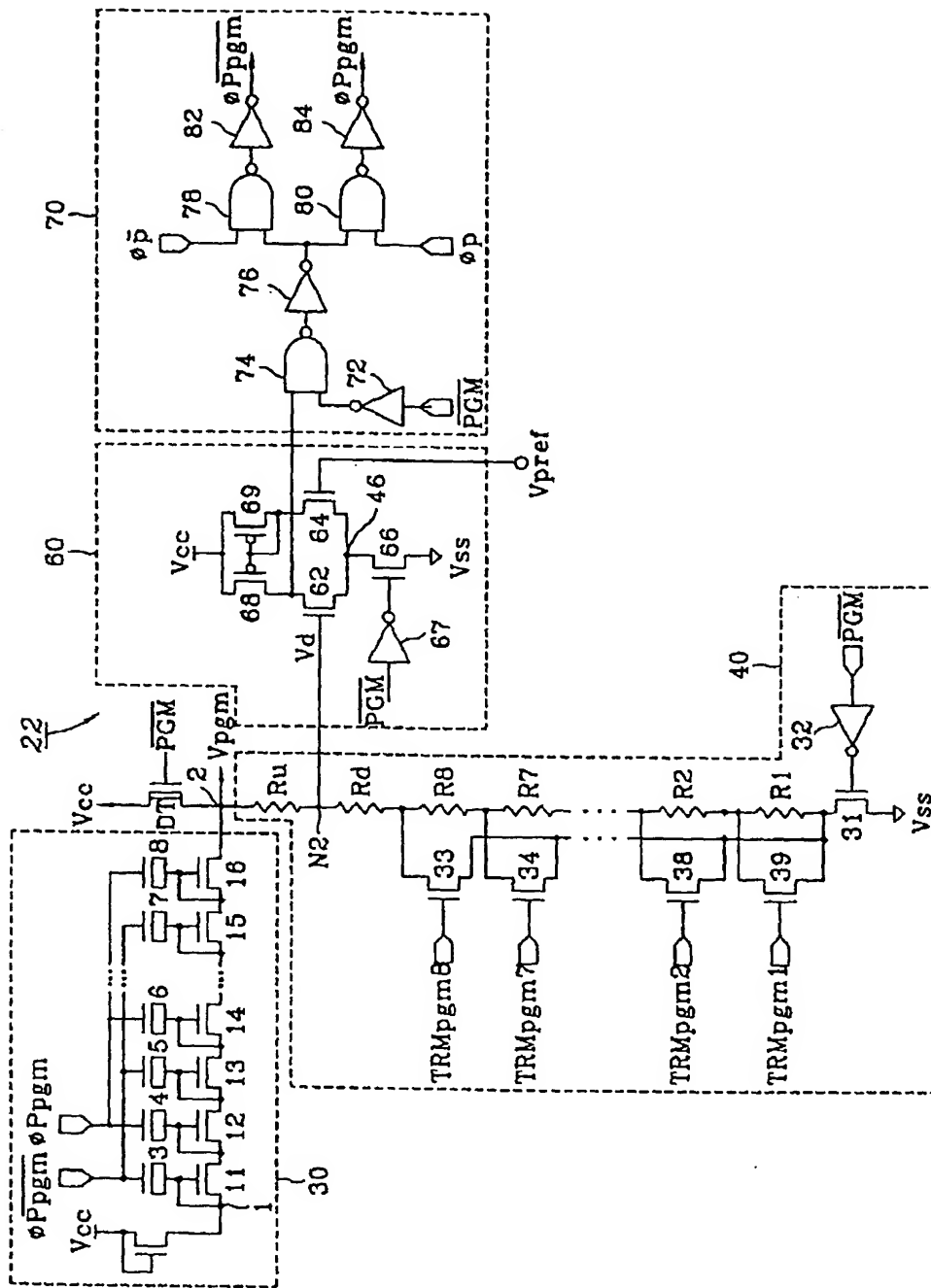
【図6】



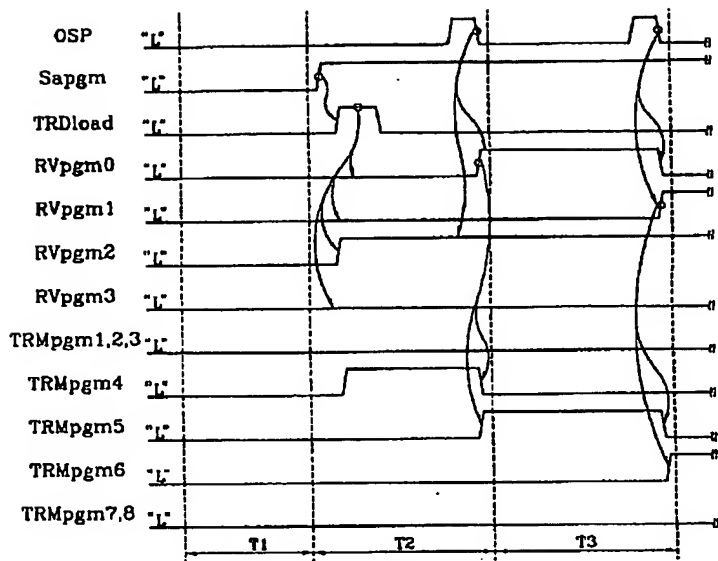
【図11】



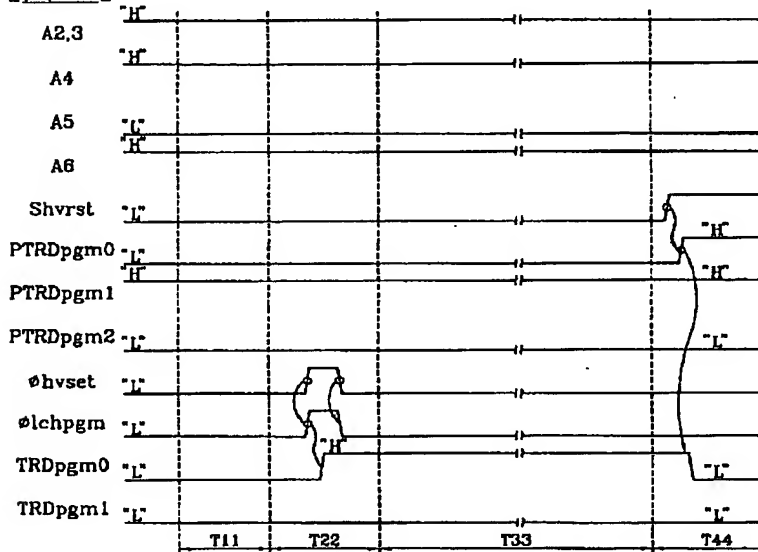
【図8】



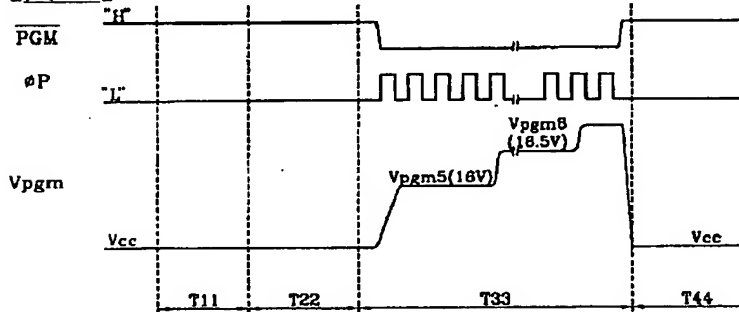
【図10】



【図12】



【図14】



【図13】

